

PATENT

81751.0061

Express Mail Label No. EV 325 216 567 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Makoto KUDO

Serial No: Not assigned

Filed: June 20, 2003

For: DATA PROCESSING DEVICE AND
ELECTRONIC EQUIPMENT

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-184379 which was filed June 25, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

By: 

Anthony J. Orler

Registration No. 41,232

Attorney for Applicant(s)

Date: June 20, 2003

500 South Grand Avenue, Suite 1900

Los Angeles, California 90071

Telephone: 213-337-6700

Facsimile: 213-337-6701

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 6月25日

出 願 番 号

Application Number:

特願2002-184379

[ST.10/C]:

[JP2002-184379]

出 願 人

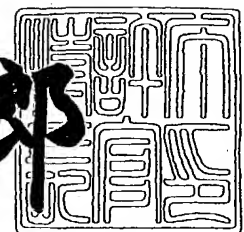
Applicant(s):

セイコーエプソン株式会社

2003年 4月15日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



【書類名】 特許願
【整理番号】 EP-0384401
【提出日】 平成14年 6月25日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 12/00 580
G06F 13/28 310
G06T 1/60
G09G 5/00

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 工藤 真

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置及び電子機器

【特許請求の範囲】

【請求項1】 パイプライン制御を行う情報処理装置であって、
複数の命令コードをフェッチ可能な命令キューと、
前記命令キューに命令コードをフェッチするためのフェッチアドレスを演算するフェッチアドレス演算回路と、
前記フェッチアドレスに基づき読み出された命令コードを命令キューにフェッチするフェッチ回路と、
分岐発生アドレスに達したら分岐先アドレスに分岐させるための分岐設定命令をデコードし、分岐発生アドレスを分岐発生アドレス保持レジスタに格納し、分岐先アドレスを分岐先アドレス保持レジスタに格納する分岐情報設定回路とを含み、
前記フェッチアドレス演算回路は、
前回フェッチアドレス又はフェッチ予定アドレスのいずれかと分岐発生アドレス保持レジスタに格納にされている値とを比較して比較結果に基づき分岐先アドレス保持レジスタに格納されている値を次のフェッチアドレスとして出力する回路を含むことを特徴とする情報処理装置。

【請求項2】 パイプライン制御を行う情報処理装置であって、
複数の命令コードをフェッチ可能な命令キューと、
前記命令キューに命令コードをフェッチするためのフェッチアドレスを演算するフェッチアドレス演算回路と、
前記フェッチアドレスに基づき読み出された命令コードを命令キューにフェッチするフェッチ回路と、
分岐発生アドレスに達したら分岐先アドレスに分岐させるための分岐設定命令をデコードし、分岐発生アドレスを分岐発生アドレス保持レジスタに格納し、分岐先アドレスを分岐先アドレス保持レジスタに格納する分岐情報設定回路とを含み、

前記フェッチアドレス演算回路は、

フェッチ用プログラムカウンタに保持されている値を命令長でインクリメントして得られた今回フェッチ予定のフェッチ予定アドレスと分岐発生アドレス保持レジスタに格納にされている値とを比較して一致している場合には、分岐先アドレス保持レジスタに格納されている値を次のフェッチアドレスとして出力し、一致していない場合にはフェッチ用プログラムカウンタの値を1命令分インクリメントした値を次のフェッチアドレスとして出力する回路を含むことを特徴とする情報処理装置。

【請求項3】 請求項1乃至2のいずれかにおいて、

前記所定の分岐設定命令は、ループ回数を指定可能なループ命令を含み、

前記分岐情報設定回路は、

ループ回数に達するまで分岐発生アドレスに達したら分岐先アドレスに分岐させるためのループ命令をデコードし、ループ命令で指定されたループ回数を取り出し、

前記フェッチアドレス演算回路は、

前記分岐先アドレスに分岐した回数がループ回数に達するまで、前記比較結果に基づき分岐先アドレス保持レジスタに格納されている値を次のフェッチアドレスとして出力する回路を含むことを特徴とする情報処理装置。

【請求項4】 請求項1乃至3のいずれかにおいて、

前記所定の分岐設定命令は、ループ回数を指定可能なループ命令を含み、

前記分岐情報設定回路は、

ループ回数に達するまで分岐発生アドレスに達したら分岐先アドレスに分岐させるためのループ命令をデコードし、ループ命令で指定されたループ回数をループカウンタに設定し、

前記フェッチアドレス演算回路は、

分岐先アドレスへの分岐が発生するたびに前記ループカウンタに設定した値をデクリメントし、ループカウンタの値が0に達したら、分岐発生アドレスを命令コード長分インクリメントした値を次のフェッチアドレスとして出力する回路を含むことを特徴とする情報処理装置。

【請求項5】 請求項3乃至4のいずれかにおいて、

前記ループ命令は、分岐先アドレスがループ命令に対して相対的に固定されており、分岐先アドレス情報がオペランドに指定不要な命令として構成され、

前記分岐情報設定回路は、

ループ命令に対して相対的に固定された値を演算して、分岐先アドレス保持レジスタに格納する回路を含むことを特徴とする情報処理装置。

【請求項6】 請求項1乃至5のいずれかに記載の情報処理装置と、

入力情報を受け付ける手段と、

入力情報に基づき前記情報処理装置により処理された結果を出力するため手段と、

を含むことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、情報処理装置及び電子機器に関する。

【0002】

【背景技術及び発明が解決しようとする課題】

パイプラインアーキテクチャでは、分岐命令やループ命令が発生すると、分岐先の命令について再びフェッチからやり直さなければならない。従って例えば、「フェッチ」「デコード」「実行」「書き込み」からなるパイプラインアーキテクチャでは、分岐（ループによる分岐も含む）が発生するたびに、3クロック分がロスすることになる。

【0003】

かかるロスを防ぐためにマイクロコンピュータに分岐予測回路を持たせることも行われている。しかし分岐予測回路を実現するためには何万ゲートも必要になり、回路規模の増大及びコストの増大を招くという問題点があった。

【0004】

本発明は以上のような問題点に鑑みてなされたものであり、パイプラインアーキテクチャを採用する情報処理装置において回路規模の増大を招くことなく分岐

発生による時間的ロスを削減することが可能可能なコストパフォーマンスのよい情報処理装置及び電子機器の提供を目的とする。

【0005】

【課題を解決するための手段】

(1) 本発明は、パイプライン制御を行う情報処理装置であって、

複数の命令コードをフェッチ可能な命令キューと、

前記命令キューに命令コードをフェッチするためのフェッチアドレスを演算するフェッチアドレス演算回路と、

前記フェッチアドレスに基づき読み出された命令コードを命令キューにフェッチするフェッチ回路と、

分岐発生アドレスに達したら分岐先アドレスに分岐させるための分岐設定命令をデコードし、分岐発生アドレスを分岐発生アドレス保持レジスタに格納し、分岐先アドレスを分岐先アドレス保持レジスタに格納する分岐情報設定回路とを含み、

前記フェッチアドレス演算回路は、

前回フェッチアドレス又はフェッチ予定アドレスのいずれかと分岐発生アドレス保持レジスタに格納にされている値とを比較して比較結果に基づき分岐先アドレス保持レジスタに格納されている値を次のフェッチアドレスとして出力する回路を含むことを特徴とする。

【0006】

分岐設定命令は例えばそのオペランドに分岐発生アドレス特定情報、分岐先アドレス特定情報を明示的に、又は暗黙に含む。

【0007】

分岐発生アドレス特定情報は、分岐の発生箇所を特定出来る値であればよく、例えば分岐が発生する命令のアドレスでもよい。また分岐設定命令から分岐発生アドレスへの相対アドレスでもよいし、分岐設定命令と分岐発生アドレス間の命令数（分岐発生アドレスは分岐設定命令から何命令先か）でもよい。また上記いずれかが格納された汎用レジスタの値でもよい。

【0008】

同様に分岐先アドレス特定情報は、分岐先を特定出来る値であればよく、例えば分岐先の命令のアドレスでもよい。また分岐設定命令から分岐先アドレスへの相対アドレスでもよいし、分岐設定命令と分岐先アドレス間の命令数（分岐先は分岐設定命令から何命令先か）でもよい。また上記いずれかが格納された汎用レジスタの値でもよい。

【 0 0 0 9 】

前回フェッチアドレスは、例えばフェッチ用プログラムカウンタに保持されている前回のフェッチアドレスであり、フェッチ予定アドレスは前回のフェッチアドレスに基づき演算された今回のフェッチアドレスである。これらのいずれかの値と分岐発生アドレス保持レジスタに格納にされている値とを比較して一致している場合には、分岐先アドレス保持レジスタに格納されている値を次のフェッチアドレスとして出力し、一致していない場合にはフェッチ用プログラムカウンタの値を1命令分インクリメントした値を次のフェッチアドレスとして出力するようにしてもよい。

【 0 0 1 0 】

ここで、フェッチ用プログラムカウンタに保持されている前回のフェッチアドレス又は前回のフェッチアドレスに基づき演算された今回のフェッチアドレスのいずれかの値と分岐発生アドレス保持レジスタに格納にされている値とを比較して一致するタイミングより前に、分岐設定命令で指定された分岐発生アドレスが分岐発生アドレス保持レジスタに設定されるように、分岐発生アドレスを指定すると、パイプライン制御において、分岐発生時にロスを生じさせることなく分岐先の命令をフェッチしておくことが出来る。

【 0 0 1 1 】

本発明によれば、フェッチアドレス演算回路及び分岐情報設定回路を追加するだけで分岐設定命令を命令セットに含むアーキテクチャを実現し、パイプラインアーキテクチャを採用する情報処理装置において回路規模の増大を招くことなく分岐発生による時間的ロスを削減することが可能可能なコストパフォーマンスのよい情報処理装置を提供することが出来る。

(2) 本発明は、パイプライン制御を行う情報処理装置であって、

複数の命令コードをフェッチ可能な命令キューと、

前記命令キューに命令コードをフェッチするためのフェッチアドレスを演算するフェッチアドレス演算回路と、

前記フェッチアドレスに基づき読み出された命令コードを命令キューにフェッチするフェッチ回路と、

分岐発生アドレスに達したら分岐先アドレスに分岐させるための分岐設定命令をデコードし、分岐発生アドレスを分岐発生アドレス保持レジスタに格納し、分岐先アドレスを分岐先アドレス保持レジスタに格納する分岐情報設定回路とを含み、

前記フェッチアドレス演算回路は、

フェッチ用プログラムカウンタに保持されている値を命令長でインクリメントして得られた今回フェッチ予定のフェッチ予定アドレスと分岐発生アドレス保持レジスタに格納にされている値とを比較して一致している場合には、分岐先アドレス保持レジスタに格納されている値を次のフェッチアドレスとして出力し、一致していない場合にはフェッチ用プログラムカウンタの値を1命令分インクリメントした値を次のフェッチアドレスとして出力する回路を含むことを特徴とする。

【0012】

分岐設定命令は例えばそのオペランドに分岐発生アドレス特定情報、分岐先アドレス特定情報を明示的に、又は暗黙に含む。

【0013】

分岐発生アドレス特定情報は、分岐の発生箇所を特定出来る値であればよく、例えば分岐が発生する命令のアドレスでもよい。また分岐設定命令から分岐発生アドレスへの相対アドレスでもよいし、分岐設定命令と分岐発生アドレス間の命令数（分岐発生アドレスは分岐設定命令から何命令先か）でもよい。また上記いずれかが格納された汎用レジスタの値でもよい。

【0014】

同様に分岐先アドレス特定情報は、分岐先を特定出来る値であればよく、例えば分岐先の命令のアドレスでもよい。また分岐設定命令から分岐先アドレスへの

相対アドレスでもよいし、分岐設定命令と分岐先アドレス間の命令数（分岐先は分岐設定命令から何命令先か）でもよい。また上記いずれかが格納された汎用レジスタの値でもよい。

【0015】

ここで、フェッチ用プログラムカウンタに保持されている値を命令長でインクリメントして得られた今回フェッチ予定のフェッチ予定アドレスと分岐発生アドレス保持レジスタに格納にされている値とを比較して一致するタイミングより前に、分岐設定命令で指定された分岐発生アドレスが分岐発生アドレス保持レジスタに設定されるように、分岐発生アドレスを指定すると、パイプライン制御において、分岐発生時にロスを生じさせることなく分岐先の命令をフェッチしておくことが出来る。

【0016】

本発明によれば、フェッチアドレス演算回路及び分岐情報設定回路を追加するだけで分岐設定命令を命令セットに含むアーキテクチャを実現し、パイプラインアーキテクチャを採用する情報処理装置において回路規模の増大を招くことなく分岐発生による時間的ロスを削減することが可能可能なコストパフォーマンスのよい情報処理装置を提供することが出来る。

（3）本発明の情報処理装置は、

前記所定の分岐設定命令は、ループ回数を指定可能なループ命令を含み、

前記分岐情報設定回路は、

ループ回数に達するまで分岐発生アドレスに達したら分岐先アドレスに分岐させるためのループ命令をデコードし、ループ命令で指定されたループ回数を取り出し、

前記フェッチアドレス演算回路は、

前記分岐先アドレスに分岐した回数がループ回数に達するまで、前記比較結果に基づき分岐先アドレス保持レジスタに格納されている値を次のフェッチアドレスとして出力する回路を含むことを特徴とする。

【0017】

例えばループ命令に基づき設定されたループ回数をループカウンタに設定し、

分岐先アドレスに分岐するたびにループカウンタをディクリメントするようにしてもよい。そしてループカウンタの値が0になったら分岐先アドレスへの分岐を終了するようにしてもよい。

【 0 0 1 8 】

本発明によればループ命令実行以降はフェッチアドレスとして分岐先アドレスを出力可能なので、パイプライン制御において、ループ処理による分岐発生時にロスを生じさせることなく分岐先の命令をフェッチしておくことが出来る。

【 0 0 1 9 】

さらに当該ループ命令を使用しないでループ処理を実現する際に必要になるループカウンタディクリメント用のSUB命令も不要となるため、その分実行速度を向上させることが出来る。

【 0 0 2 0 】

本発明によれば、フェッチアドレス演算回路及び分岐情報設定回路を追加するだけでループ命令を命令セットに含むアーキテクチャを実現し、パイプラインアーキテクチャを採用する情報処理装置において回路規模の増大を招くことなくループ発生による時間的ロスを削減することが可能可能なコストパフォーマンスのよい情報処理装置を提供することが出来る。

(4) 本発明の情報処理装置は、

前記所定の分岐設定命令は、ループ回数を指定可能なループ命令を含み、

前記分岐情報設定回路は、

ループ回数に達するまで分岐発生アドレスに達したら分岐先アドレスに分岐させるためのループ命令をデコードし、ループ命令で指定されたループ回数をループカウンタに設定し、

前記フェッチアドレス演算回路は、

分岐先アドレスへの分岐が発生するたびに前記ループカウンタに設定した値をディクリメントし、ループカウンタの値が0に達したら、分岐発生アドレスを命令コード長分インクリメントした値を次のフェッチアドレスとして出力する回路を含むことを特徴とする。

【 0 0 2 1 】

本発明によればループ命令実行以降はフェッチアドレスとして分岐先アドレスを出力可能なので、パイプライン制御において、ループ処理による分岐発生時にロスを生じさせることなく分岐先の命令をフェッチしておくことが出来る。

【0022】

さらに当該ループ命令を使用しないでループ処理を実現する際に必要になるループカウンタディクリメント用のSUB命令も不要となるため、その分実行速度を向上させることが出来る。

【0023】

本発明によれば、フェッチアドレス演算回路及び分岐情報設定回路を追加するだけでループ命令を命令セットに含むアーキテクチャを実現し、パイプラインアーキテクチャを採用する情報処理装置において回路規模の増大を招くことなくループ発生による時間的ロスを削減することが可能可能なコストパフォーマンスのよい情報処理装置を提供することが出来る。

(5) 本発明の情報処理装置は、

前記ループ命令は、分岐先アドレスがループ命令に対して相対的に固定されており、分岐先アドレス情報がオペランドに指定不要な命令として構成され、

前記分岐情報設定回路は、

ループ命令に対して相対的に固定された値を演算して、分岐先アドレス保持レジスタに格納する回路を含むことを特徴とする。

【0024】

ループ命令に対して相対的に固定するとは、ループ命令からの相対的距離が一義的に決定可能であることを意味する。

【0025】

例えば分岐先アドレスをループ命令の次の命令に相対的に固定するようにしてもよい。

【0026】

本発明によればループ命令のオペランドの指定を減らすことが出来るため、短い命令コード長でループ命令を記述しなければならない場合に効果的である。

(6) 本発明は、上記のいずれかに記載の情報処理装置と、

入力情報を受け付ける手段と、

入力情報に基づき前記情報処理装置により処理された結果を出力するため手段と、

を含むことを特徴とする電子機器である。

【 0 0 2 7 】

本発明によれば、ローコストで高速実行可能な情報処理装置を内蔵しているため、安価で高機能な電子機器を提供することが出来る。

【 0 0 2 8 】

【発明の実施の形態】

以下、本発明の好適な実施形態について図面を用いて詳細に説明する。

【 0 0 2 9 】

1. 情報処理装置

(1) 情報処理装置の構成

図 1 (A) (B) は、パイプライン制御マイクロコンピュータ (広義には情報処理装置) において分岐が発生した場合の従来例について説明するための図である。

【 0 0 3 0 】

図 1 (A) は分岐が発生する命令リストの一例を表している。

図 1 (B) は、Fetch (F)、Decode (D)、Execute (E)、Access (A)、Write (W) の 5 段のパイプライン制御を行うマイクロコンピュータにおいて、①～③の命令が処理されるタイムテーブルを表している。

【 0 0 3 1 】

一般にパイプライン制御の Fetch (F) 段階におけるフェッチアドレスは、「今回のフェッチアドレス = 前回のフェッチアドレス + 前回フェッチした命令のサイズ」で与えられる。従って分岐命令が発生した場合には、フェッチキューには分岐先の命令はフェッチされていない。

【 0 0 3 2 】

ここで図 1 (B) の ② b r n e は分岐命令であり、③は分岐先命令である。このように分岐命令が実行された後は、分岐先の命令を再びフェッチしなければ

らないので 2 1 0 に示すように 2 クロック分の遅れが生じてしまう。

【 0 0 3 3 】

また例えば分岐命令を用いてループ処理を行う場合は、カウント用の① s u b 命令が必要となるので、それに 1 クロック分に必要となってくる。

【 0 0 3 4 】

図 2 は、本実施の形態のマイクロコンピュータ（広義には情報処理装置）の構成について説明するための機能ブロック図である。

【 0 0 3 5 】

本実施の形態のマイクロコンピュータ 1 0 0 は、CPU（広義には、処理回路）1 0 と、BCU（バスコントロールユニット）1 0 0 とを含む。なおマイクロコンピュータ 1 0 0 は、これ以外にも ROM（Read Only Memory）、RAM（Random Access Memory）、MMU（Memory Management Unit）、DMAC（Direct Access Memory Controller）、LCD（Liquid Crystal Display）ドライバ或いは S I O（Serial Input Output）等の各種周辺回路を含むことができる。

【 0 0 3 6 】

CPU 1 0 は、ROM や RAM に記憶されたプログラムに従って、命令のフェッチ、命令のデコード、演算処理、レジスタへの書き込み等をパイプライン制御で行う。CPU 1 0 は 3 2 ビット幅のデータを扱うが 1.6 ビットの命令コードを処理するよう構成されている。

【 0 0 3 7 】

BCU（バスコントロールユニット）1 0 0 は、図示しない 3 2 ビットの命令データバスや、命令データアクセスのための命令アドレスバスや、3 2 ビットのデータバスや、データアクセスのためのデータアドレスバスや、コントロール信号のためのコントロールバス等の各種バスのバスコントロール処理を行う。

【 0 0 3 8 】

そしてこの CPU 1 0 は、前記各種バスを介して外部と信号のやり取りを行う。

【 0 0 3 9 】

また CPU 1 0 は、フェッチ回路 2 0、プリフィックス命令専用デコード回路

40、デコード回路60、実行回路70、レジスタファイル80（汎用レジスタ82、特殊レジスタ84）、命令アドレスジェネレータ90等を含んで構成される。

【0040】

フェッチ回路20は、複数の命令の命令コードを命令キュー（例えばプリフェッチキュー）30-0、30-1・・・にプリフェッチする。

【0041】

フェッチアドレス演算回路40は、命令キューに命令コードをフェッチするためのフェッチアドレスを演算する回路である。分岐発生アドレス保持レジスタ42、分岐先アドレス保持レジスタ44とを含み、前回フェッチアドレス又はフェッチ予定アドレスのいずれかと分岐発生アドレス保持レジスタに格納にされている値とを比較して比較結果に基づき分岐先アドレス保持レジスタに格納されている値を次のフェッチアドレスとして出力するように構成してもよい。

【0042】

またフェッチ用プログラムカウンタに保持されている値を命令長でインクリメントして得られた今回フェッチ予定のフェッチ予定アドレスと分岐発生アドレス保持レジスタに格納にされている値とを比較して一致している場合には、分岐先アドレス保持レジスタに格納されている値を次のフェッチアドレスとして出力し、一致していない場合にはフェッチ用プログラムカウンタの値を1命令分インクリメントした値を次のフェッチアドレスとして出力するように構成してもよい。

【0043】

また前記分岐先アドレスに分岐した回数がループ回数に達するまで、前記比較結果に基づき分岐先アドレス保持レジスタ42に格納されている値を次のフェッチアドレスとして出力するようにしてもよい。

【0044】

例えばループ命令に設定されたループ回数を図示しないループカウンタに設定し、分岐先アドレスに分岐するたびにループカウンタをデクリメントするループカウンタ回路46を設けるようにしてもよい。

【0045】

デコード回路 60 は命令キューに信号線を介して接続され命令キューにフェッチされている命令コードを入力しデコードする処理をおこなう回路であり、分岐情報設定回路 62 を含む。

【0046】

また前記分岐情報設定回路 62 は、分岐発生アドレス保持レジスタ 42、分岐先アドレス保持レジスタ 44 に信号線を介して接続され、分岐発生アドレスに達したら分岐先アドレスに分岐させるための分岐設定命令をデコードし、分岐発生アドレスを分岐発生アドレス保持レジスタに格納し、分岐先アドレスを分岐先アドレス保持レジスタに格納する。

【0047】

また前記分岐情報設定回路 62 は、ループカウンタ回路 46 に設けられた図示しないループ回数設定レジスタに信号線を介して接続され、ループ回数に達するまで分岐発生アドレスに達したら分岐先アドレスに分岐させるためのループ命令をデコードし、ループ命令に設定されたループ回数を取り出しループ回数設定レジスタに設定するようにしてもよい。

【0048】

実行回路 70 は、前記デコード回路 60 がデコードした命令のオペレーション内容に基づき該命令の実行をおこなう。実行回路 70 は、データの演算を行うデータ演算回路 72 と、アドレスの演算を行うアドレス演算回路 74 を含み、必要に応じて汎用レジスタ 84 やメモリ（RAM 等）にアクセスしてデコード回路 60 でデコードされた命令の機能を実行する。

【0049】

レジスタファイル 90 は、汎用レジスタ R0～R15 の 16 本の汎用レジスタ、プログラムカウンタ（PC）、プロセッサステータスレジスタ（PSR）、スタックポインタ（SP）、算術ローレジスタ（ALR）、算術ハイレジスタ（AHR）等の CPU で使用するレジスタを有している。

（2）分岐設定命令

図 3（A）（B）（C）は、本実施の形態の分岐設定命令の一例について説明するための図である。

【0050】

図3(A)は、分岐設定命令の命令コードの一例を示しており、図3(B)は分岐設定命令の命令コードのビットフィールドを示した図である。分岐設定命令の命令コード310は、ビット15からビット8の8ビットのオペコード指定領域312と、ビット7からビット4に4ビットの分岐発生アドレス指定領域314と、ビット3からビット0の4ビットの分岐先アドレス指定領域316を有している。

【0051】

オペコード指定領域312は、分岐設定命令であることを示すオペコードが格納されている。

【0052】

分岐発生アドレス指定領域314及び分岐先アドレス指定領域316には、分岐設定命令から何命令離れているかの値を指定するようにしてもよい。例えば分岐設定命令から何命令離れているかの値が即値「imm4」で指定されている場合には、分岐先アドレスは「PC(プログラムカウンタ) + 命令長 + imm4 × 命令長」で与えられる。また分岐設定命令からの相対アドレスとして指定するようにしてもよいし、絶対アドレスで指定するようにしてもよい。またこれらの値が格納されている汎用レジスタの値が指定されていてもよい。

【0053】

図3(C)は、分岐設定命令を含むプログラムリストである。320に分岐設定命令「jppr x,y」がおかれると当該命令からx命令後(330参照)のP1(分岐発生アドレス)で分岐が発生し、分岐設定命令からy命令後(340参照)のP2(分岐先アドレス)に分岐する。

【0054】

図4はフェッチアドレス演算回路の構成の一例について説明するための図である。

【0055】

フェッチアドレス演算回路40は、フェッチプログラムカウンタ(FPC)41、分岐発生アドレスレジスタ42、分岐先アドレスレジスタ44等を含む。フ

フェッチプログラムカウンタ (FPC) 41は、フェッチする命令アドレスが格納されるプログラムカウンタであり、フェッチするたびに次のフェッチアドレスに更新される。

【0056】

分岐発生アドレスレジスタ42には、分岐設定命令で指定された分岐発生アドレスが保持されている。

【0057】

分岐先アドレスレジスタ44には、分岐設定命令で指定された分岐先アドレスが保持されている。

【0058】

フェッチプログラムカウンタ (FPC) 41に現在保持されている、フェッチアドレスに基づきフェッチキューに命令コードがフェッチされると、アドレス演算器43は、当該フェッチアドレス53及び命令コード長54に基づきフェッチアドレスカウンタのインクリメント値信号55をマルチプレクサ47及び比較器45に向け出力する。

【0059】

また比較器45は、フェッチアドレスカウンタのインクリメント値55及び分岐発生アドレスレジスタ42に格納されている分岐発生アドレスを入力し、これらが一致している場合にはマルチプレクサ47に向け出力する分岐発生信号46をONにする（例えば、H'レベルにする）。

【0060】

分岐先アドレスレジスタ44は、マルチプレクサ47に向け分岐先アドレス信号56を出力する。

【0061】

またALU48は、例えば通常の分岐命令（本実施の形態の分岐設定命令は除く）等により発生した分岐先アドレスを演算し、通常分岐アドレス信号57をマルチプレクサ47に向け出力する。通常分岐発生信号49は通常の分岐命令（本実施の形態の分岐設定命令は除く）等が発生したことを通知する信号である。

【0062】

マルチプレクサ47は、分岐発生信号46がONである場合（例えば' H' レベルである）には分岐先アドレス信号56を選択して、次のフェッチアドレス信号52としてフェッチプログラムカウンタ（FPC）41に向け出力する。また通常分岐発生信号49がONである場合（例えば' H' レベルである）には通常分岐アドレス信号57を選択して、次のフェッチアドレス信号52としてフェッチプログラムカウンタ（FPC）41に向け出力する。また分岐発生信号46も通常分岐発生信号49もいずれもOFFである場合（例えば' L' レベルである）にはフェッチアドレスカウンタのインクリメント値信号55を選択して、次のフェッチアドレス信号52としてフェッチプログラムカウンタ（FPC）41に向け出力する。

（3）ループ命令

図5（A）（B）（C）は、本実施の形態のループ命令の一例について説明するための図である。

【0063】

図5（A）は、ループ命令の命令コードの一例を示しており、図5（B）はループ命令の命令コードのビットフィールドを示した図である。ループ命令の命令コード410は、ビット15からビット9の7ビットのオペコード指定領域412と、ビット8からビット6に3ビットの分岐発生アドレス指定領域414と、ビット5からビット3の3ビットの分岐先アドレス指定領域416と、ビット2からビット0の3ビットのループ回数指定領域418とを有している。

【0064】

オペコード指定領域412は、ループ命令であることを示すオペコードが格納されている。

【0065】

分岐発生アドレス指定領域414及び分岐先アドレス指定領域416には、分岐設定命令から何命令離れているかの値を指定するようにしてもよい。例えば分岐設定命令から何命令離れているかの値が即値「imm3」で指定されている場合には、分岐先アドレスは「PC（プログラムカウンタ）+命令長+imm3×命令長」で与えられる。また分岐設定命令からの相対アドレスとして指定するよ

うにしてもよいし、絶対アドレスで指定するようにしてもよい。またこれらの値が格納されている汎用レジスタの値が指定されていてもよい。

【0066】

またループ回数指定領域418には、ループ回数が即値で指定されていてもよいし、ループ回数が設定されている汎用レジスタの値が指定されていてもよい。

【0067】

図5(C)は、ループ命令を含むプログラムリストである。420にループ命令「loop x,y,z」がおかれると当該命令からx命令後(430参照)のP1(分岐発生アドレス)で分岐が発生し、ループ命令からy命令後(440参照)のP2(分岐先アドレス)に分岐する処理をループ回数z回だけ繰り返す。そしてz回だけ分岐した後は、分岐発生アドレスの次の命令470を実行する。

【0068】

図6はループ命令に対応したフェッチアドレス演算回路の構成の一例について説明するための図である。

【0069】

図6のフェッチアドレス演算回路40'は、図4のフェッチアドレス演算回路40の構成に加えて、ループカウンタ回路60をさらに含む。

【0070】

ループカウンタ回路60は、ループカウンタ62、演算器64、比較器66を含む。ループカウンタ62は、最初にループ命令で指定されたループ回数が保持される。

【0071】

演算器64は、ループカウンタに保持されている値及び比較器45から出力される分岐発生信号46を入力し、分岐発生信号46が分岐の発生を示している場合(ONの場合、例えば'H'レベルの場合)に、ループカウンタのディクリメント(ループカウンタの値を'1'だけ減じる処理)を行い、ディクリメント値信号65をループカウンタ62及び比較器66に向け出力する。これをうけてループカウンタ62の値はディクリメントされる。

【0072】

また比較器 66 はディクリメント値信号 65 が '0' になった場合には指定されたループ回数だけ分岐が発生したとして、ループ終了信号 68 を 'ON' にしてマルチプレクサ 47 に向け出力する。ループ終了信号 68 はループ命令で指定された回数のループが終了したことを通知する信号であり、例えば 'H' レベルの信号が出力された場合、ループ終了信号 68 が 'ON' であるとしてもよい。

【0073】

マルチプレクサ 47 は、ループ終了信号 68 が 'ON' でない場合には図 4 で説明した動作を行い、ループ終了信号 68 が 'ON' である場合には、分岐発生信号 46 が ON であっても、分岐先アドレス信号 56 ではなくフェッチアドレスカウンタのインクリメント値信号 55 を選択して、次のフェッチアドレス信号 52 としてフェッチプログラムカウンタ (FPC) 41 に向け出力する。

【0074】

図 7 (A) (B) (C) は、本実施の形態の他のループ命令について説明するための図である。他のループ命令は、分岐先アドレスがループ命令の次の命令であるタイプのループ命令である。

【0075】

図 7 (A) は、他のループ命令 (ループ命令 2) の命令コードの一例を示しており、図 7 (B) はループ命令 2 の命令コードのビットフィールドを示した図である。ループ命令 2 の命令コード 510 は、ビット 15 からビット 8 の 8 ビットのアペコード指定領域 512 と、ビット 7 からビット 4 に 4 ビットに分岐発生アドレス指定領域 514 と、ビット 3 からビット 0 の 4 ビットのループ回数指定領域 518 とを有している。ループ命令 2 は分岐先が固定されているので、分岐先アドレスをオペランドで指定する必要はない。

【0076】

オペコード指定領域 512 は、分岐先アドレスがループ命令の次の命令であるタイプのループ命令であることを示すオペコードが格納されている。

【0077】

分岐発生アドレス指定領域 514 には、分岐設定命令から何命令離れているかの値を指定するようにしてもよい。例えば分岐設定命令から何命令離れているか

の値が即値「imm4」で指定されている場合には、分岐先アドレスは「PC（プログラムカウンタ）+命令長+imm4×命令長」で与えられる。また分岐設定命令からの相対アドレスとして指定するようにしてもよいし、絶対アドレスで指定するようにしてもよい。またこれらの値が格納されている汎用レジスタの値が指定されていてもよい。

【0078】

またループ回数指定領域518には、ループ回数が即値で指定されていてもよいし、ループ回数が設定されている汎用レジスタの値が指定されていてもよい。

【0079】

図7（C）は、ループ命令を含むプログラムリストである。520にループ命令2「loop x,z」がおかれると当該命令からx命令後（530参照）のP1（分岐発生アドレス）で分岐が発生し、ループ命令2の次の命令の先頭P2（分岐先アドレス）に分岐する処理をループ回数z回だけ繰り返す。そしてz回だけ分岐した後は、分岐発生アドレスの次の命令570を実行する。

【0080】

このように分岐先が固定されている場合には、図6において分岐先アドレスレジスタ44に固定されている分岐先アドレスを設定するようにすればよい。

【0081】

なおここでは分岐先がループ命令の次の命令に固定されている場合を例にとり説明したがそれに限られない。分岐先が他の位置に固定されている場合でもよい。

【0082】

2. 電子機器

次に、上述した情報処理回路（例えばマイクロコンピュータ）を含む電子機器について説明する。

例えば図8（A）に、電子機器の1つであるカーナビゲーションシステムの内部ブロック図を示し、図9（A）に、その外観図を示す。カーナビゲーションシステムの操作はリモコン710を用いて行われ、GPSやジャイロからの情報に基づいて位置検出部720が車の位置を検出する。地図などの情報はCDROM7

30（情報記憶媒体）に格納されている。メモリ740は画像処理や音声処理の際の作業領域になるメモリであり、生成された画像は画像出力部750を用いて運転者に表示される。また、生成されたカーナビゲーション用のガイド音声は、音出力部735を用いて運転者に出力される。マイクロコンピュータ700は、リモコン710、位置検出部720、CDROM730などの情報入力源から情報を入力し、種々の処理を行い、処理後の情報を、画像出力部750、音出力部735などの出力装置を用いて出力する。

【0083】

図8（B）に、電子機器の1つであるゲーム装置の内部ブロック図を示し、図9（B）に、その外観図を示す。このゲーム装置では、ゲームコントローラ760からのプレーヤの操作情報、CDROM770からのゲームプログラム、ICカード780からのプレーヤ情報等に基づいて、メモリ790を作業領域としてゲーム画像やゲーム音を生成し、画像出力部810、音出力部800を用いて出力する。

【0084】

図8（C）に電子機器の1つであるプリンタの内部ブロック図を示し、図9（C）にその外観図を示す。このプリンタでは、操作パネル820からの操作情報、コードメモリ830及びフォントメモリ840から文字情報に基づいて、ビットマップメモリ850を作業領域として、印刷画像を生成し、プリント出力部860を用いて出力する。またプリンタの状態やモードを表示パネル870を用いてユーザに伝える。

【0085】

なおマイクロコンピュータを適用できる電子機器としては、上記以外にも例えば、携帯電話（セルラーフォン）、PHS、ページャ、携帯型情報端末、デジタルカメラ、ハードディスク装置、光ディスク（CD、DVD）装置、光磁気ディスク（MO）装置、オーディオ機器、電子手帳、電子卓上計算機、POS端末、タッチパネルを備えた装置、プロジェクタ、ワードプロセッサ、パーソナルコンピュータ、テレビ、ビューファインダ型、又はモニタ直視型のビデオテープレコーダなど種々のものを考えることができる。

【 0 0 8 6 】

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

【 0 0 8 7 】

また、本発明の電子機器の構成も、図 8 (A) ~ (C)、図 9 (A) ~ (C) で説明したものに限定されるものでなく、種々の変形実施が可能である

【図面の簡単な説明】

【図 1】

図 1 (A) (B) は、パイプライン制御マイクロコンピュータ（広義には情報処理装置）におけいて分岐が発生した場合の従来例について説明するための図である。

【図 2】

本実施の形態のマイクロコンピュータ（広義には情報処理装置）の構成について説明するための機能ブロック図である。

【図 3】

図 3 (A) (B) (C) は、本実施の形態の分岐設定命令の一例について説明するための図である。

【図 4】

図 4 はフェッチアドレス演算回路の構成の一例について説明するための図である。

【図 5】

図 5 (A) (B) (C) は、本実施の形態のループ命令の一例について説明するための図である。

【図 6】

本実施の形態のループ命令に対応したフェッチアドレス演算回路の構成の一例について説明するための図である。

【図 7】

図 7 (A) (B) (C) は、本実施の形態の他のループ命令について説明するための図である。他のループ命令は、分岐先アドレスがループ命令の次の命令で

あるタイプのループ命令である。

【図 8】

図 8 (A) (B) (C) は、マイクロコンピュータを含む電子機器のブロック図の一例を示す。

【図 9】

図 9 (A) (B) (C) は、種々の電子機器の外観図の例である。

【符号の説明】

- 1 0 CPU (広義には、処理回路)
- 2 0 フェッチ回路
- 3 0 命令キュー
- 4 0 フェッチアドレス演算回路
- 4 2 分岐発生アドレス保持レジスタ
- 4 4 分岐先アドレス保持レジスタ
- 4 6 ループカウンタ回路
- 6 0 デコード回路
- 6 2 分岐情報設定回路
- 7 0 実行回路
- 7 2 データ演算回路
- 7 4 アドレス演算回路
- 8 0 レジスタファイル
- 8 2 汎用レジスタ
- 8 4 特殊レジスタ
- 9 0 命令アドレスジェネレータ
- 1 0 0 BCU (バスコントロールユニット)
- 7 0 0 マイクロコンピュータ
- 7 1 0 リモコン
- 7 2 0 位置検出部
- 7 3 5、8 0 0 音出力部
- 7 4 0 メモリ

750、810 画像出力部

770 CDROM

780 カード

790 ICメモリ

800 音出力部

820 操作パネル

830 コードメモリ

840 フォントメモリ

850 ビットマップメモリ

860 プリント出力部

870 表示パネル

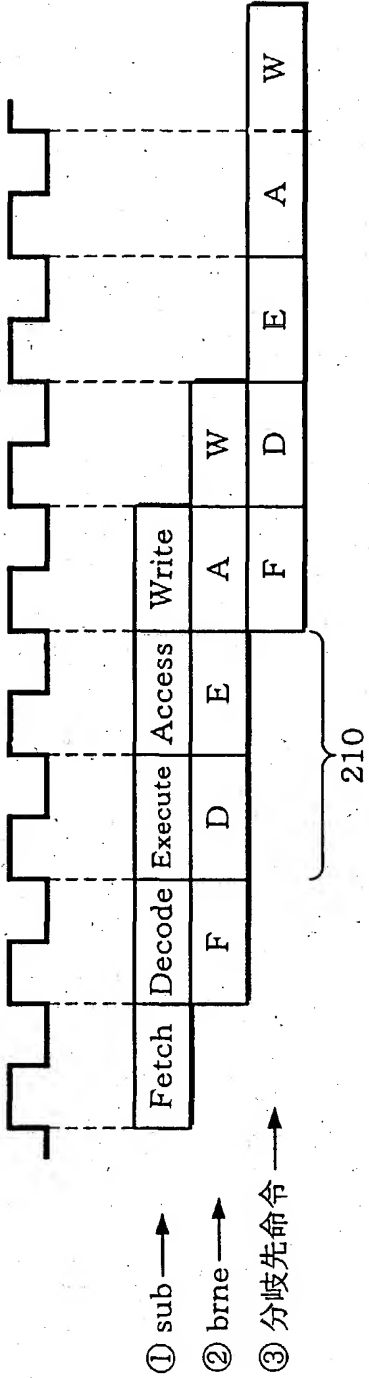
【書類名】 図面

【図 1】

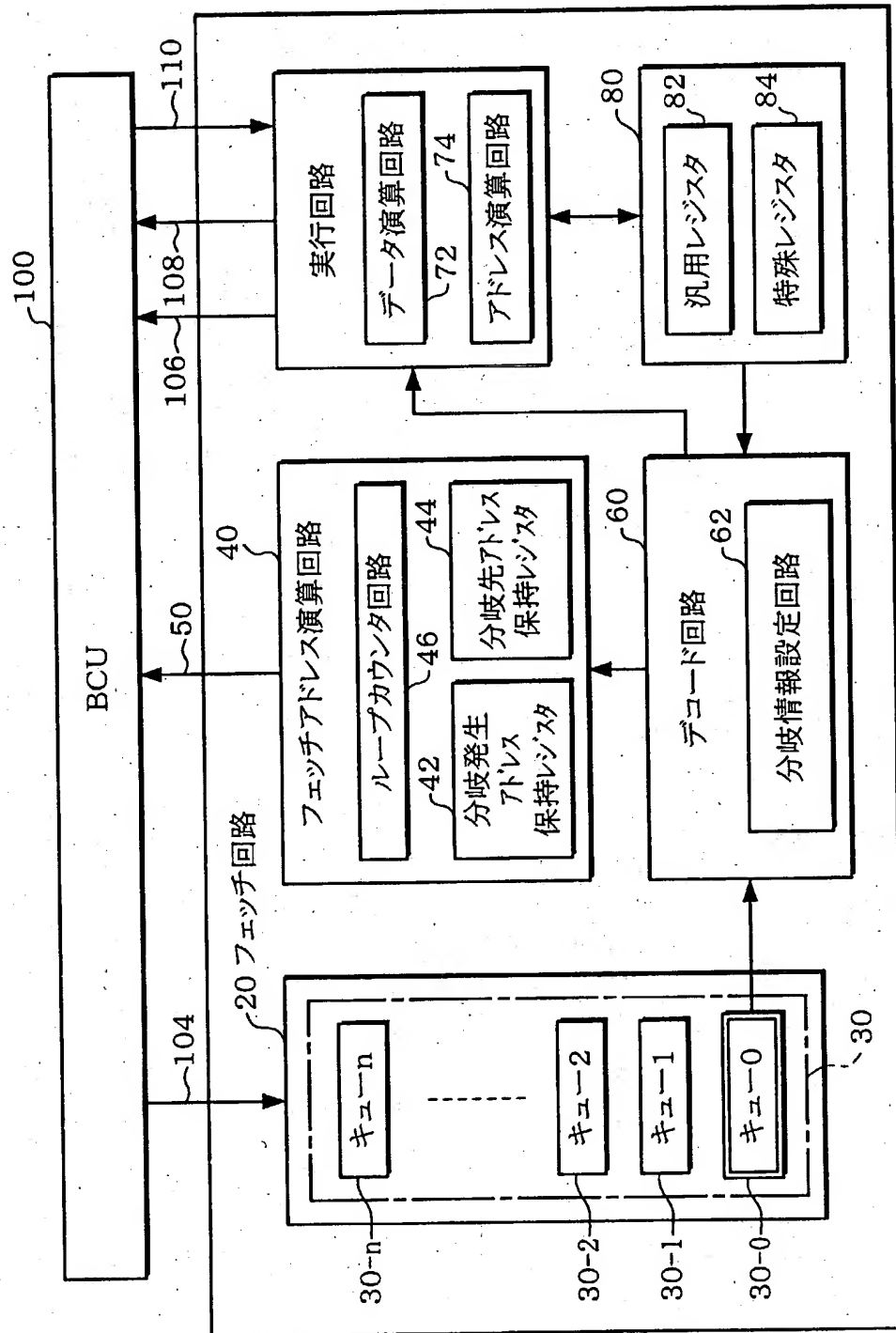
(A)

Loop: ld (分岐先命令)
sub
brne Loop

(B)



【図 2】

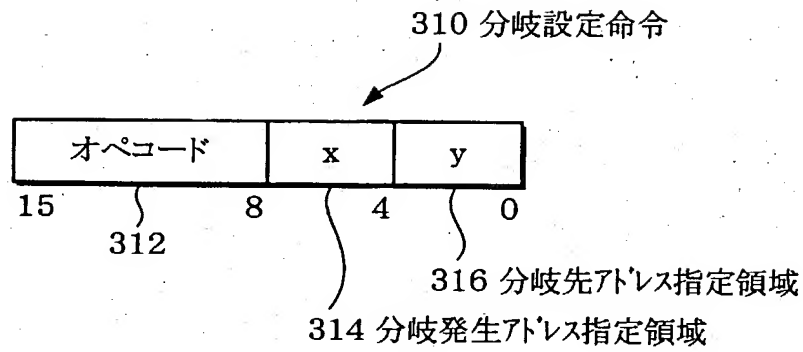


【図3】

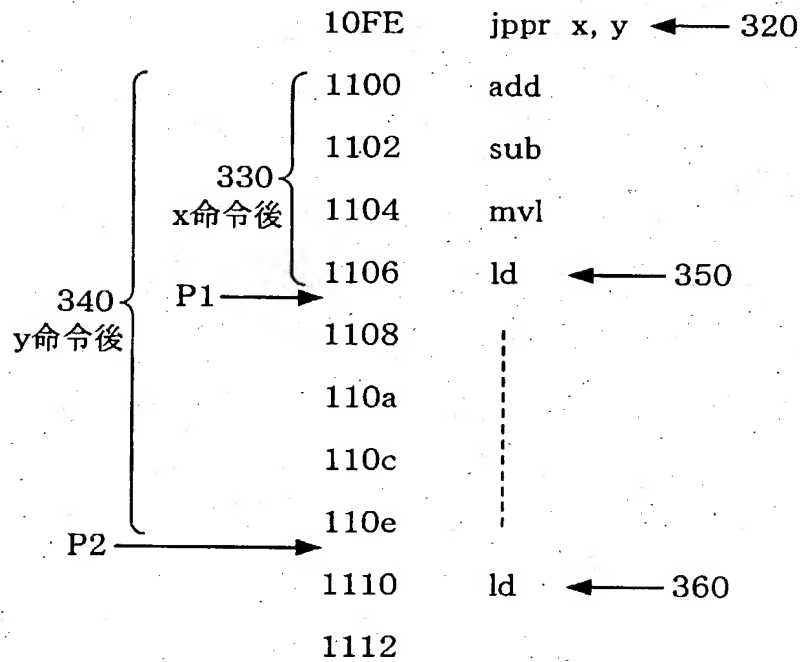
(A)

jppr x, y

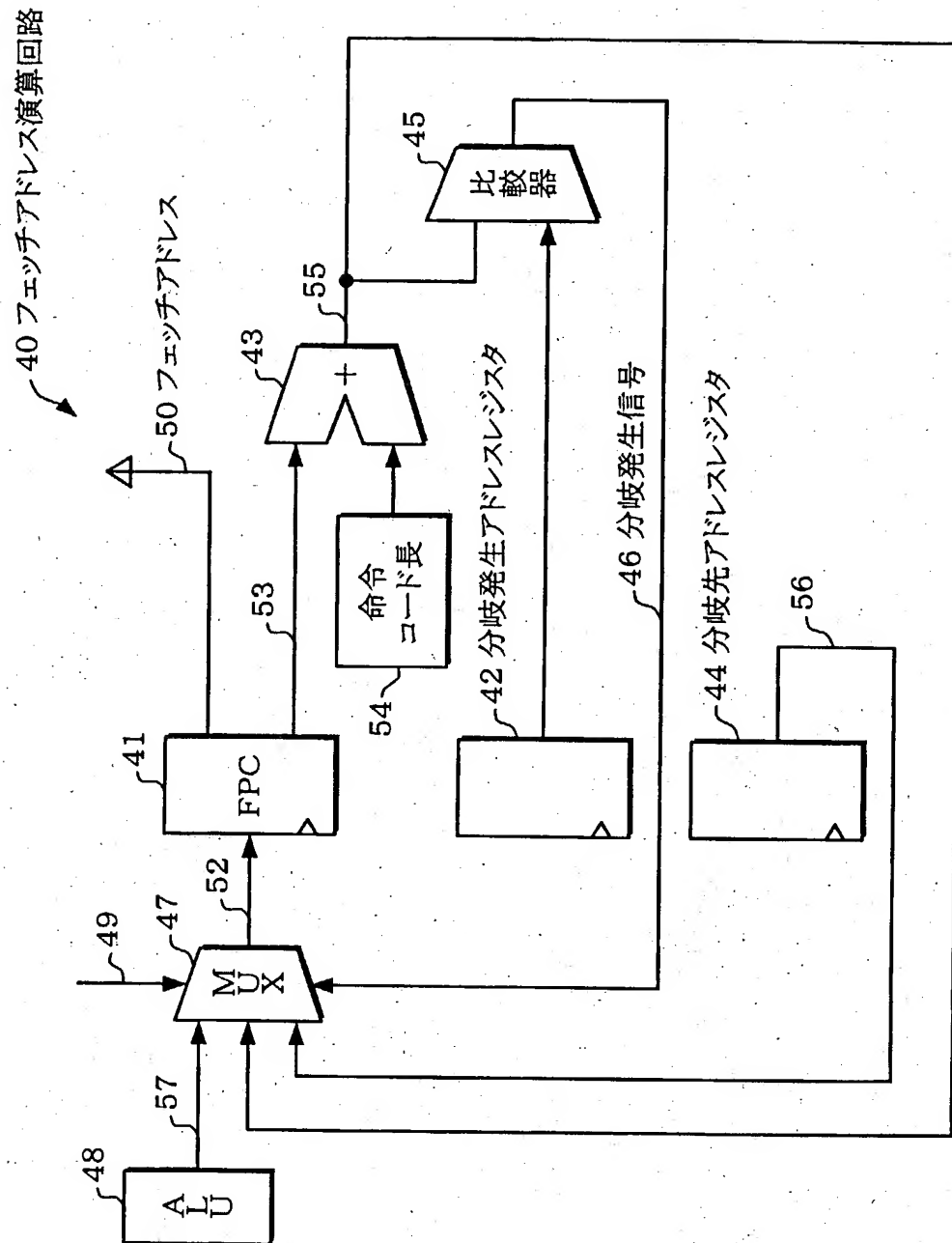
(B)



(C)



【図4】

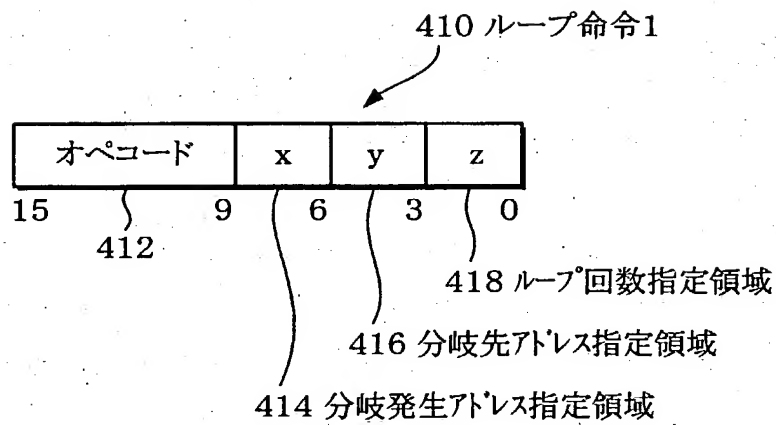


【図 5】

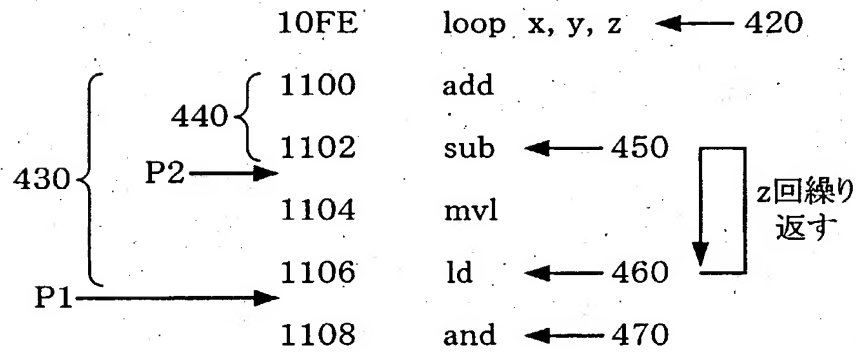
(A)

loop x, y, z

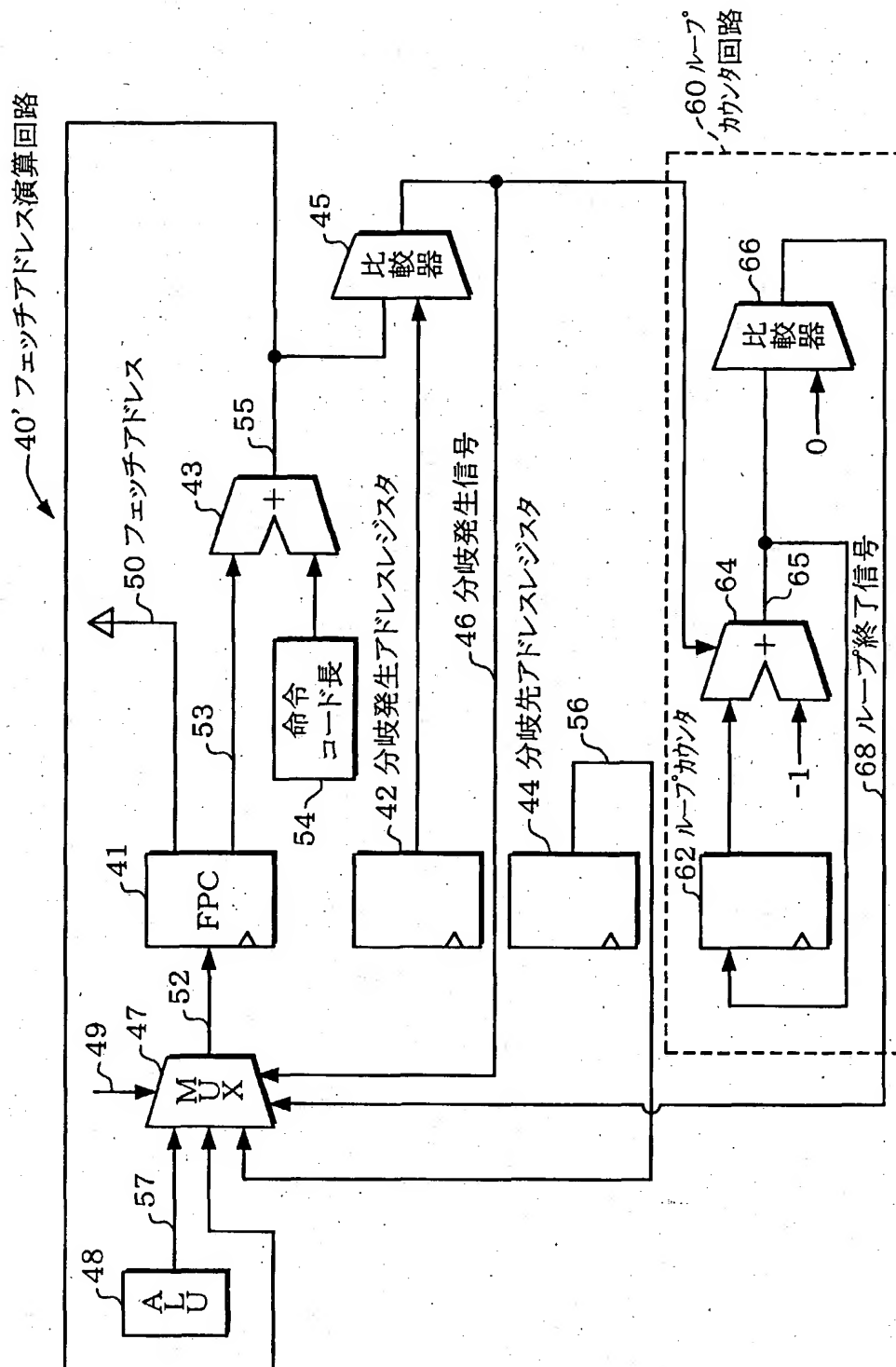
(B)



(C)



【図 6】

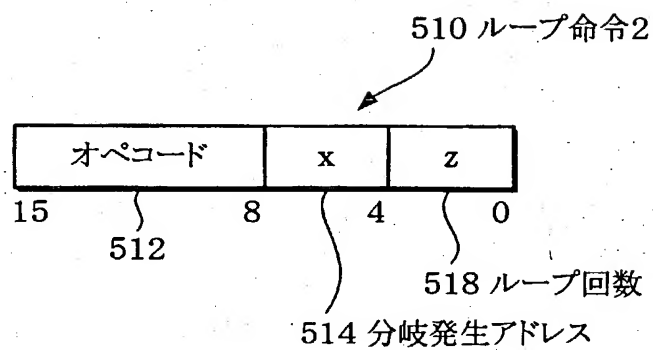


【図7】

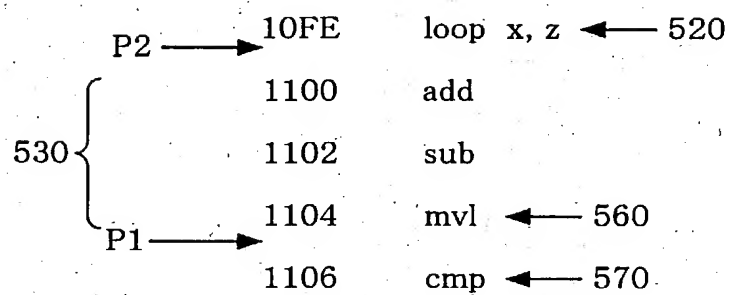
(A)

loop x, z

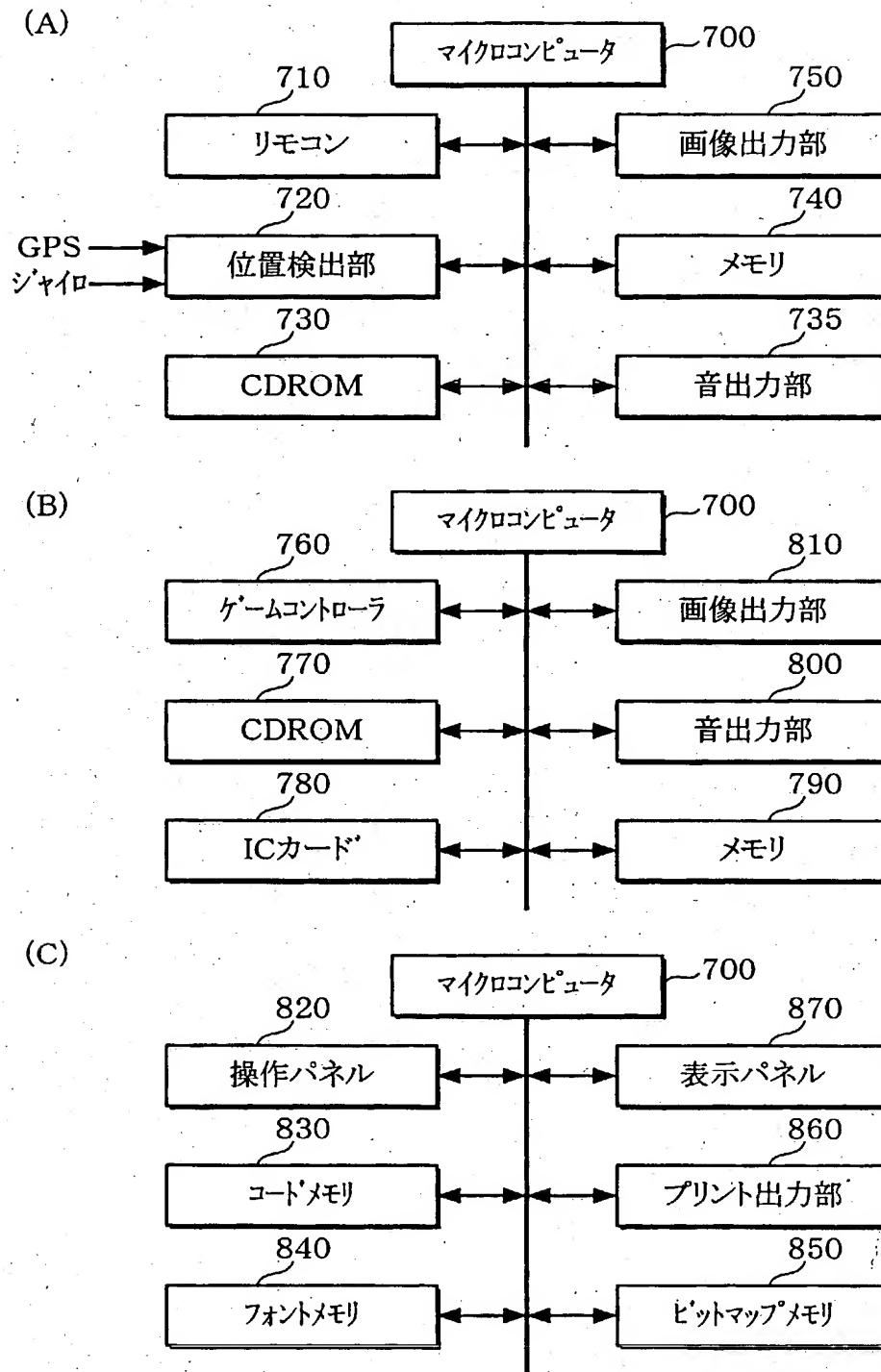
(B)



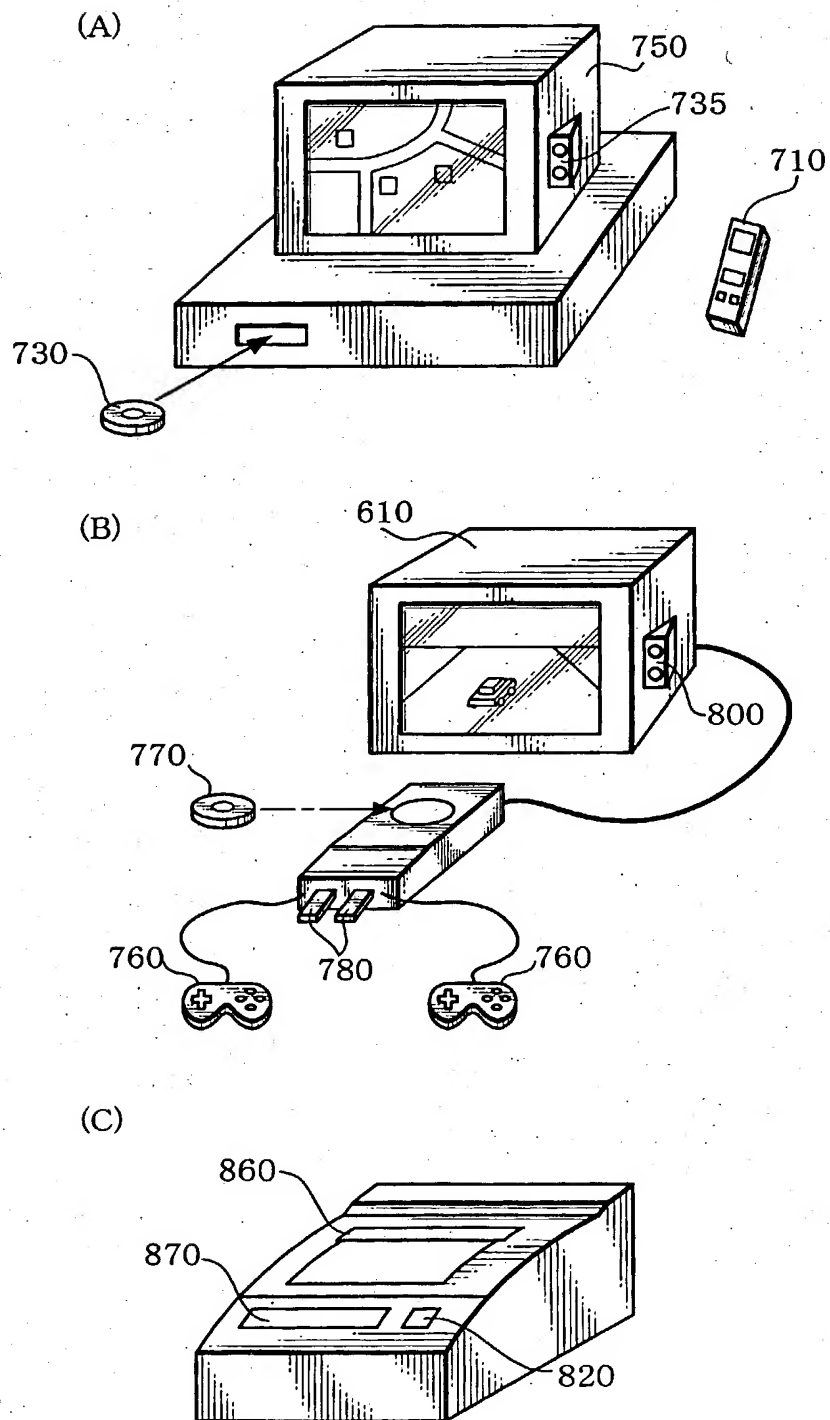
(C)



【図 8】



【図9】



【書類名】 要約書

【要約】

【課題】 パイプラインアーキテクチャを採用する情報処理装置において回路規模の増大を招くことなく分岐発生による時間的ロスを削減すること。

【解決手段】 パイプライン制御を行う情報処理装置である。複数の命令コードをフェッチ可能な命令キュー30と、フェッチアドレスを演算するフェッチアドレス演算回路40と、前記フェッチアドレスに基づき命令コードを命令キューにフェッチするフェッチ回路20と、分岐設定命令をデコードし、分岐発生アドレスを分岐発生アドレス保持レジスタに格納し、分岐先アドレスを分岐先アドレス保持レジスタに格納する分岐情報設定回路62とを含み、前記フェッチアドレス演算回路40は、前回フェッチアドレス又はフェッチ予定アドレスが分岐発生アドレス保持レジスタ42に格納にされている値とを比較して比較結果に基づき次のフェッチアドレスとして出力する。

【選択図】 図2